

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-315544

(43)Date of publication of application : 26.11.1993

(51)Int.Cl.

H01L 27/04
G05F 5/00
H03K 19/003

(21)Application number : 03-002711

(71)Applicant : MATSUSHITA ELECTRON CORP

(22)Date of filing : 14.01.1991

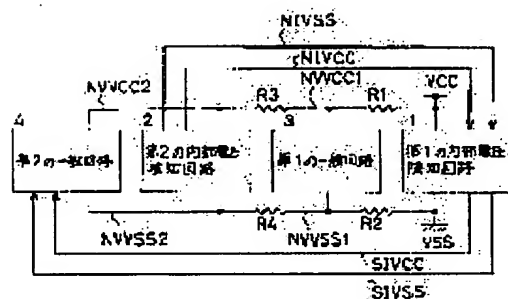
(72)Inventor : HIRANO HIROSHIGE

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To stabilize the operation of a circuit arranged at a region, which is apart from the external input ends of a supply voltage and an earth voltage.

CONSTITUTION: A second general circuit 4 arranged at a certain region is controlled in such a way that an interval supply voltage level NVVCC2 and an internal earth voltage level NVVSS2 of the circuit 4 are respectively detected by first and second internal voltage detecting circuits 1 and 2 and changes in the level NVVCC2 and the level NVVSS2 in the vicinity of the circuit 4 are respectively compensated by an internal supply voltage detection signal SIVCC and an internal earth voltage detection signal SIVSS, which are respectively outputted from the circuits 1 and 2. Thereby, the operation of the circuit 4 arranged at the region, which is apart from external input ends of a supply voltage VCC and an earth voltage VSS, can be stabilized.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

F. 02 E D 0065

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-315544

(43)公開日 平成 5 年(1993)11月26日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/04

D 8427-4M

G 0 5 F 5/00

Z 4237-5H

H 0 3 K 19/003

B 8941-5J

審査請求 未請求 請求項の数 2 (全 13 頁)

(21)出願番号

特願平3-2711

(22)出願日

平成 3 年(1991) 1 月14日

(71)出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町 1 番 1 号

(72)発明者 平野 博茂

大阪府門真市大字門真1006番地 松下電子
工業株式会社内

(74)代理人 弁理士 宮井 暎夫

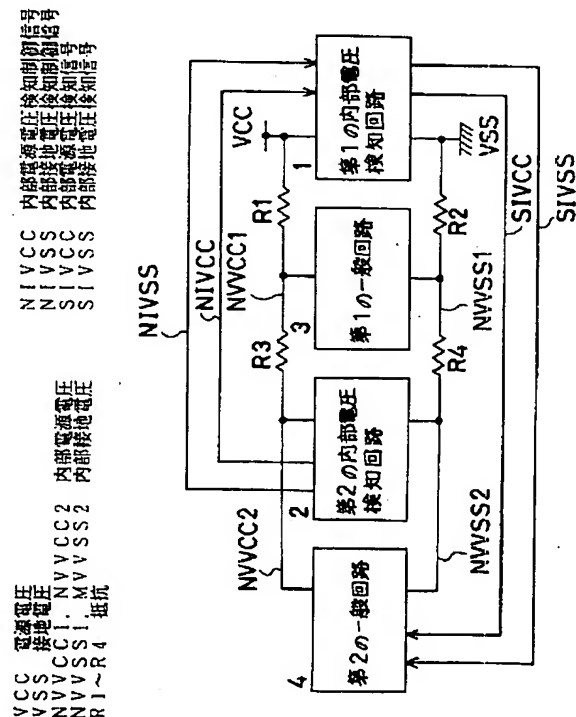
(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【目的】 電源電圧および接地電圧の外部入力端から離れた領域に配置された回路の動作を安定させる

【構成】 ある領域に配置された一般回路 4 の内部電源電圧レベルNVVCC2および内部接地電圧レベルNVVSS2を内部電圧検知回路 1, 2 で検知し、内部電圧検知回路 1, 2 から出力される内部電源電圧検知信号SIVCCおよび内部接地電圧検知信号SIVSSによって、一般回路 4 付近の内部電源電圧レベルNVVCC2および内部接地電圧レベルNVVSS2の変化を補償するように一般回路 4 を制御する。

【効果】 電源電圧VCCおよび接地電圧VSSの外部入力端から離れた領域に配置された一般回路 4 の動作を安定させることができる。



【特許請求の範囲】

【請求項1】 ある領域の一般回路付近の電源電圧レベルおよび接地電圧レベルを検知し電源電圧レベルおよび接地電圧レベルに応じた内部電源電圧検知信号および内部接地電圧検知信号を出力する内部電圧検知回路を有し、前記内部電圧検知回路から出力される内部電源電圧検知信号および内部接地電圧検知信号によって、前記一般回路付近の電圧レベルの変化を補償するように前記一般回路を制御したことを特徴とする半導体集積回路装置。

【請求項2】 内部電圧検知開始信号に応答して外部電源付近に配置された第1の遅延回路の遅延時間とある領域の一般回路付近に配置された第2の遅延回路の遅延時間とを検知し両遅延時間の大小に応じた内部電圧検知信号を出力する内部電圧検知回路を有し、前記内部電圧検知回路から出力される内部電圧検知信号によって、前記一般回路付近の電圧レベルの変化を補償するように前記一般回路を制御したことを特徴とする半導体集積回路装置。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】この発明は、半導体集積回路装置に関するものである。

【0002】

【従来の技術】最近、半導体集積回路装置の利用が高まり、これらの半導体集積回路装置の動作に際し、内部電源電圧の変動に対しても安定して動作するものが要求されている。図4は従来の半導体集積回路装置のブロック回路図である。図4において、3は電源電圧VCCおよび接地電圧VSSの外部入力端に近い領域に配置された第1の一般回路、4は電源電圧VCCおよび接地電圧VSSの外部入力端から離れた領域に配置された第2の一般回路である。VCCは電源電圧、VSSは接地電圧、NVVCC1、NVVCC2は内部電源電圧、NVVSS1、NVVSS2は内部接地電圧、R5ないしR8は電源および接地の配線抵抗である。

【0003】この半導体集積回路装置では、第1の一般回路3が動作して抵抗R5およびR6に大電流が流れると、内部電源電圧NVVCC1は電源電圧VCCより低い電圧レベルとなり、内部接地電圧NVVSS1は接地電圧VSSより高い電圧レベルとなる。そして、第2の一般回路4の内部電源電圧NVVCC2は、内部電源電圧NVVCC1以下の低い電圧レベルとなり、内部接地電圧NVVSS2は、内部接地電圧NVVSS1以上の高い電圧レベルとなる。

【0004】図5(A)、(B)は、図4の第2の一般回路4の具体例を示し、図5(A)は入力バッファ回路であり、図5(B)は信号遅延回路である。図5において、NVVCC2は第2の一般回路4付近の内部電源電圧、NVVSS2は第2の一般回路4付近の内部接地電

圧、Qp51ないしQp52はPチャンネル型MOSトランジスタ、Qn51ないしQn52はNチャンネル型MOSトランジスタ、B1ないしB6は6段のインバータ、I3ないしI4は入力信号、O3ないしO4は出力信号である。

【0005】まず、図5(A)の入力バッファ回路について説明する。この入力バッファ回路は、相補型MOSトランジスタで構成された否定回路を2段連続接続したもので、入力信号I3に対して同相の出力信号O3が出力される。このときの入力信号I3の入力スイッチングレベルは、Pチャンネル型MOSトランジスタQp51とNチャンネル型MOSトランジスタQn51のトランジスタサイズによって決まる。また、この入力バッファ回路は、内部電源電圧NVVCC2が電源電圧VCCより低い電圧レベルとなると、入力信号I3の入力スイッチングレベルは低くなる。また、内部接地電圧NVVSS2が接地電圧VSSより高い電圧レベルとなると、入力信号I3の入力スイッチングレベルは高くなり、入力スイッチングレベルが内部電源電圧あるいは内部接地電圧の影響を受ける。

【0006】つぎに、図5(B)の信号遅延回路について説明する。この信号遅延回路は、相補型MOSトランジスタで構成された否定回路を6段連続接続したもので、入力信号I4に対して同相の出力信号O4が出力される。このとき、入力信号I4から出力信号O4までの遅延時間は、それぞれのトランジスタサイズによって決まる。また、この信号遅延回路は、内部電源電圧NVVCC2が電源電圧VCCより低い電圧レベル、あるいは内部接地電圧NVVSS2が接地電圧VSSより高い電圧レベルとなると、入力信号I4から出力信号O4までの遅延時間が長くなり、信号遅延が内部電源電圧あるいは内部接地電圧の影響を受ける。

【0007】

【発明が解決しようとする課題】このような従来の半導体集積回路装置では、上記の第1の一般回路3のように電源電圧VCCおよび接地電圧VSSの外部入力端に近い領域に配置された回路の動作によって流れる大電流により、第2の一般回路4のように電源電圧VCCおよび接地電圧VSSの外部入力端から離れた領域に配置された回路の内部電源電圧レベルが低くなったり、内部接地電圧レベルが高くなったりする。このため、特にタイミング精度を必要とする制御クロック発生回路や入力スイッチングレベルを決める入力バッファ回路では誤動作を起こしやすくなるという問題があった。

【0008】この発明の目的は、電源電圧および接地電圧の外部入力端から離れた領域に配置された回路の動作を安定させることができる半導体集積回路装置を提供することである。

【0009】

【課題を解決するための手段】請求項1記載の半導体集

積回路装置は、ある領域の一般回路付近の電源電圧レベルおよび接地電圧レベルを検知し電源電圧レベルおよび接地電圧レベルに応じた内部電源電圧検知信号および内部接地電圧検知信号を出力する内部電圧検知回路を有し、前記内部電圧検知回路から出力される内部電源電圧検知信号および内部接地電圧検知信号によって、前記一般回路付近の電圧レベルの変化を補償するように前記一般回路を制御している。

【0010】請求項2記載の半導体集積回路装置は、内部電圧検知開始信号に応答して外部電源付近に配置された第1の遅延回路の遅延時間とある領域の一般回路付近に配置された第2の遅延回路の遅延時間とを検知し両遅延時間の大小に応じた内部電圧検知信号を出力する内部電圧検知回路を有し、前記内部電圧検知回路から出力される内部電圧検知信号によって、前記一般回路付近の電圧レベルの変化を補償するように前記一般回路を制御している。

【0011】

【作用】請求項1記載の構成によれば、ある領域に配置された一般回路の内部電源電圧レベルおよび内部接地電圧レベルを内部電圧検知回路で検知し、内部電圧検知回路から出力される内部電源電圧検知信号および内部接地電圧検知信号によって、一般回路付近の電圧レベルの変化を補償するように一般回路を制御するので、電源電圧および接地電圧の外部入力端から離れた領域に配置された回路の動作を安定させることができる。

【0012】請求項2記載の構成によれば、内部電圧検知開始信号に応答して外部電源付近に配置された第1の遅延回路の遅延時間とある領域の一般回路付近に配置された第2の遅延回路の遅延時間とを内部電圧検知回路で検知し、内部電圧検知回路から出力される内部電圧検知信号によって、一般回路付近の電圧レベルの変化を補償するように一般回路を制御するので、電源電圧および接地電圧の外部入力端から離れた領域に配置された回路の動作を安定させることができる。

【0013】

【実施例】以下、この発明の実施例を図面を参照しながら説明する。

第1の実施例

図1(A)はこの発明の第1の実施例の半導体集積回路装置のブロック回路図を示し、図1(B)は図1(A)の第2の内部電圧検知回路の回路図を示し、図1(C)は図1(A)の第1の内部電圧検知回路の回路図を示している。

【0014】図1において、1は第1の内部電圧検知回路、2は第2の内部電圧検知回路、3は電源電圧VCCおよび接地電圧VSSの外部入力端に近い領域に配置された第1の一般回路、4は電源電圧VCCおよび接地電圧VSSの外部入力端から離れた領域に配置された第2の一般回路である。VCCは電源電圧、VSSは接地電

圧、NVVCC1、NVVCC2は内部電源電圧、NVVSS1、NVVSS2は内部接地電圧である。R1ないしR4は電源および接地の配線抵抗、NIVCCは内部電源電圧検知制御信号、NIVSSは内部接地電圧検知制御信号、SIVCCは内部電源電圧検知信号、SIVSSは内部接地電圧検知信号である。Qp11ないしQp14はPチャンネル型MOSトランジスタ、Qn11ないしQn14はNチャンネル型MOSトランジスタである。

【0015】この第1の実施例は、電源電圧VCCおよび接地電圧VSSの外部入力端に近い領域に配置された第1の一般回路3の動作によって流れる大電流により、電源電圧VCCおよび接地電圧VSSの外部入力端から離れた領域に配置された第2の一般回路4の内部電源電圧レベルが低くなったり、内部接地電圧レベルが高くなったりし、この内部電源電圧レベルまたは内部接地電圧レベルを第1および第2の内部電圧検知回路1、2で検知し、この電圧レベルの検知信号により前記第2の一般回路4を制御することによって安定動作を行わせるものである。

【0016】ここで、第1の実施例における内部電圧検知回路1、2について図面を参照しながら詳細に説明する。図1(B)の第2の内部電圧検知回路2の回路構成は、相補型MOSトランジスタで構成され、NVVCC2およびNVVSS2はそれぞれ第2の一般回路4付近の内部電源電圧および内部接地電圧である。ここで、Pチャンネル型MOSトランジスタQp11はオフ、Pチャンネル型MOSトランジスタQp12はオン、Nチャンネル型MOSトランジスタQn11はオン、Nチャンネル型MOSトランジスタQn12はオフで、内部電源電圧検知制御信号NIVCCおよび内部接地電圧検知制御信号NIVSSは、それぞれ内部電源電圧NVVCC2および内部接地電圧NVVSS2にほぼ等しい電圧レベルとなる。

【0017】図1(C)の第1の内部電圧検知回路1の回路構成も、相補型MOSトランジスタで構成され、Nチャンネル型MOSトランジスタQn13の動作能力はPチャンネル型MOSトランジスタQp13の動作能力に比べ非常に小さく、Pチャンネル型MOSトランジスタQp14の動作能力はNチャンネル型MOSトランジスタQn14の動作能力に比べ非常に小さくしてある。

【0018】まず、第1および第2の一般回路3、4にほとんど電流が流れないときには、抵抗R1ないしR4による内部電源電圧NVVCC1、NVVCC2の降下は小さく、内部接地電圧NVVSS1、NVVSS2の上昇も小さく、それぞれほぼ電源電圧VCC、接地電圧VSSの電圧レベルとなっている。そのため、Pチャンネル型MOSトランジスタQp13は完全にオフ、Nチャンネル型MOSトランジスタQn13はオン、Pチャンネル型MOSトランジスタQp14はオン、Nチャン

ネル型MOSトランジスタ Q_{n14} は完全にオフし、内部電源電圧検知信号 S_{IVCC} は接地電圧 V_{SS} の電圧レベルに、内部接地電圧検知信号 S_{IVSS} は電源電圧 V_{CC} の電圧レベルとなる。

【0019】つぎに、第1および第2の一般回路3、4の動作によって大電流が流れるときには、抵抗 $R1$ ないし $R4$ による内部電源電圧 NV_{VCC1} 、 NV_{VCC2} の降下が大きく、内部接地電圧 NV_{VSS1} 、 NV_{VSS2} の上昇も大きくなる。すなわち、内部電源電圧検知制御信号 N_{IVCC} の電圧降下も大きく、内部接地電圧検知制御信号 N_{IVSS} の電圧上昇も大きい。このため、Pチャンネル型MOSトランジスタ Q_{p13} がオン、Nチャンネル型MOSトランジスタ Q_{n14} がオンの状態となり、それぞれのトランジスタの動作能力が大きくなり、内部電源電圧検知信号 S_{IVCC} は電源電圧 V_{CC} の電圧レベルに、内部接地電圧検知信号 S_{IVSS} は接地電圧 V_{SS} の電圧レベルとなる。

【0020】以上のようにして内部電圧を検知し、内部電源電圧検知信号 S_{IVCC} および内部接地電圧検知信号 S_{IVSS} によって、電源電圧 V_{CC} および接地電圧 V_{SS} の外部入力端から離れた領域に配置された第2の一般回路4の付近の電圧レベルの変化を補償するように第2の一般回路4の動作を制御することができる。この結果、第2の一般回路の4の動作を安定させることが可能となる。

【0021】なお、この実施例では、内部電圧を常時検知しているが、制御信号を用いることにより断続的に検知することも可能である。図3(A)、(B)は図1における第2の一般回路4の具体例を示し、図3(A)は入力バッファ回路であり、図3(B)は信号遅延回路である。これらの図において、 NV_{VCC2} は内部電源電圧、 NV_{VSS2} は内部接地電圧、 S_{IVCC} は内部電源電圧検知信号、 S_{IVSS} は内部接地電圧検知信号である。 $N2$ ないし $N4$ はノード名、 Q_{p31} ないし Q_{p35} はPチャンネル型MOSトランジスタ、 Q_{n31} ないし Q_{n35} はNチャンネル型MOSトランジスタ、 $B11$ ないし $B18$ はインバータ、 $NA1$ は否定論理積回路、 $NO1$ は否定論理和回路である。 $I1$ ないし $I2$ は入力信号、 $O1$ ないし $O2$ は出力信号である。

【0022】まず、図3(A)の入力バッファ回路について説明する。この入力バッファ回路は、5対の相補型MOSトランジスタで構成されている。そして、直列に接続された2個のPチャンネル型MOSトランジスタ Q_{p31} 、 Q_{p32} と直列に接続されたNチャンネル型MOSトランジスタ Q_{n31} 、 Q_{n32} のゲートにそれぞれ入力信号 $I1$ を入力している。また、Pチャンネル型MOSトランジスタ Q_{p31} に並列に接続された2個のPチャンネル型MOSトランジスタ Q_{p33} 、 Q_{p34} のゲートと、Nチャンネル型MOSトランジスタ Q_{n31} に並列に接続された2個のNチャンネル型MOSトラ

ンジスタ Q_{n33} 、 Q_{n34} のゲートとにそれぞれに内部電源電圧検知信号 S_{IVCC} と内部接地電圧検知信号 S_{IVSS} とをそれぞれ入力している。このことにより、入力スイッチングレベルを制御し、入力信号 $I1$ に対して同相の出力信号 $O1$ を出力させるようにしている。

【0023】例えば、内部電源電圧 NV_{VCC2} が電源電圧 V_{CC} から低下していないときには、内部電源電圧検知信号 S_{IVCC} は論理電圧“L”で、Pチャンネル型MOSトランジスタ Q_{p33} はオン、Nチャンネル型MOSトランジスタ Q_{n33} はオフであるが、内部電源電圧 NV_{VCC2} が電源電圧 V_{CC} から低下すると、内部電源電圧検知信号 S_{IVCC} は論理電圧“H”となり、Pチャンネル型MOSトランジスタ Q_{p33} はオフ、Nチャンネル型MOSトランジスタ Q_{n33} はオンとなる。この結果、内部電源電圧 NV_{VCC2} が低下するために低下する入力スイッチングレベルを引き上げることができ、入力信号 $I3$ の入力スイッチングレベルの低下はほとんどない。

【0024】また逆に、内部接地電圧 NV_{VSS2} が接地電圧 V_{SS} から上昇していないときには、内部接地電圧検知信号 S_{IVSS} は論理電圧“H”で、Pチャンネル型MOSトランジスタ Q_{p34} はオフ、Nチャンネル型MOSトランジスタ Q_{n34} はオンであるが、内部接地電圧 NV_{VSS2} が接地電圧 V_{SS} から上昇すると、内部接地電圧検知信号 S_{IVSS} は論理電圧“L”となり、Pチャンネル型MOSトランジスタ Q_{p34} はオン、Nチャンネル型MOSトランジスタ Q_{n34} はオフとなる。この結果、内部接地電圧 NV_{VSS2} が上昇するために上昇する入力スイッチングレベルを引き下げることができ、入力信号 $I1$ の入力スイッチングレベルの上昇はほとんどない。

【0025】したがって、入力スイッチングレベルが内部電源電圧あるいは内部接地電圧の影響を受けにくい回路となる。つぎに、図3(B)の信号遅延回路について説明する。この信号遅延回路は、相補型MOSトランジスタで構成された否定回路、否定論理和回路および否定論理積回路を組み合わせたもので、入力信号 $I2$ に対して同相の出力信号 $O2$ が出力される。

【0026】ここでは、入力信号 $I2$ が論理電圧“L”から論理電圧“H”となる場合について説明する。まず、内部電源電圧 NV_{VCC2} が電源電圧 V_{CC} と同電圧レベルであるときは、内部電源電圧検知信号 S_{IVCC} は論理電圧“L”で、ノード $N3$ は論理電圧“L”となり、入力信号 $I2$ から出力信号 $O2$ までの遅延時間はノード $N4$ の経路の否定回路8段分に相当する遅延時間となる。

【0027】つぎに、内部電源電圧 NV_{VCC2} が電源電圧 V_{CC} より低い電圧レベルであるときは、内部電源電圧検知信号 S_{IVCC} は論理電圧“H”で、ノード N

3は論理電圧“H”となり、入力信号I2から出力信号O2までの遅延時間はノードN3の経路の否定回路6段分に相当する遅延時間となり、内部電源電圧NVVCC2の低下により長くなる遅延時間分を短くするように補正する。

【0028】したがって、信号遅延が内部電源電圧の影響を受けにくい回路となる。

第2の実施例

図2(A)はこの発明の第2の半導体集積回路装置のブロック回路図を示し、図2(B)は図2(A)の第2の内部電圧検知回路の回路図を示し、図2(C)は図2(A)の第1の内部電圧検知回路の回路図を示し、図2(D)は図2(A)、(B)、(C)の回路の各部の信号波形図を示している。

【0029】図2において、1は第1の内部電圧検知回路、2は第2の内部電圧検知回路、3は電源電圧VCCおよび接地電圧VSSの外部入力端に近い領域に配置された第1の一般回路、4は電源電圧VCCおよび接地電圧VSSの外部入力端から離れた領域に配置された第2の一般回路である。VCCは電源電圧、VSSは接地電圧、NVVCC1、NVVCC2は内部電源電圧、NVVSS1、NVVSS2は内部接地電圧、R1ないしR4は電源および接地の配線抵抗である。NIVは内部電圧検知制御信号、SIVは内部電圧検知信号、SDSは内部電圧検知開始信号である。C1ないしC4は容量、N1はノード名である。P1、P2は期間、t1、t2は時間、Qp15ないしQp26はPチャンネル型MOSトランジスタ、Qn15ないしQn26はNチャンネル型MOSトランジスタである。

【0030】この第2の実施例は、第1の実施例と同様に、電源電圧VCCおよび接地電圧VSSの外部入力端に近い領域に配置された第1の一般回路3の動作によって流れる大電流により、電源電圧VCCおよび接地電圧VSSの外部入力端から離れた領域に配置された第2の一般回路4の内部電源電圧レベルが低くなったり、内部接地電圧レベルが高くなったりし、この内部電源電圧レベルまたは内部接地電圧レベルを第1および第2の内部電圧検知回路1、2で検知し、この電圧レベルの検知信号により前記第2の一般回路4を制御することによって安定動作を行わせるものである。

【0031】ここで、第2の実施例の内部電圧検知回路1、2について図面を参照しながら詳細に説明する。図2(B)の第2の内部電圧検知回路2の回路は、相補型MOSトランジスタで構成された4段の否定回路と遅延用容量C1およびC2を組み合わせた第2の遅延回路であり、内部電圧検知開始信号SDSの遅延信号を内部電圧検知制御信号NIVとして出力するものである。NVVCC2およびNVVSS2はそれぞれ第2の一般回路4付近の内部電源電圧および内部接地電圧である。

【0032】図2(C)の第1の内部電圧検知回路1の

回路も、相補型MOSトランジスタで構成された6段の否定回路と遅延用容量C3およびC4を組み合わせた第1の遅延回路と論理和の否定回路とであり、内部電圧検知開始信号SDSの遅延信号ノードN1と内部電圧検知制御信号NIVとの論理和の否定を内部電圧検知信号SIVとして出力するものである。

【0033】つぎに、これらの回路の動作時の信号波形図である図2(D)について説明する。まず、期間P1は、内部電源電圧NVVCC2が電源電圧VCCとほぼ同電圧レベルで、内部接地電圧NVVSS2が接地電圧VSSとほぼ同電圧レベルの期間である。この期間は、第1の内部電圧検知回路1の6段の否定回路の遅延信号ノードN1の遅延時間の方が、第2の内部電圧検知回路2の4段の否定回路の内部電圧検知制御信号NIVの遅延時間よりも遅いため、内部電圧検知信号SIVは遅延信号ノードN1で律速する。このとき、遅延信号ノードN1より少し遅延した時間t1における内部電圧検知信号SIVは、電源電圧VCCの電圧レベルである。

【0034】また、期間P2は、内部電源電圧NVVCC2が電源電圧VCCより低い電圧レベルで、内部接地電圧NVVSS2が接地電圧VSSより高い電圧レベルの期間である。この期間は、第2の内部電圧検知回路2の4段の否定回路の内部電圧検知制御信号NIVの遅延時間の方が、第1の内部電圧検知回路1の6段の否定回路の遅延信号ノードN1の遅延時間よりも遅いため、内部電圧検知信号SIVは内部電圧検知制御信号NIVで律速する。このとき、遅延信号ノードN1より少し遅延した時間t2における内部電圧検知信号SIVは接地電圧VSSの電圧レベルである。

【0035】以上のようにして、内部電圧検知開始信号SDSにより断続的に内部電圧を検知し、内部電圧検知制御信号NIVによって第2の一般回路4の動作を制御することができる。なお、図2の第2の一般回路4の具体例としては、前記した図3(B)の回路を一例として挙げることができる。

【0036】

【発明の効果】請求項1記載の半導体集積回路装置によれば、ある領域に配置された一般回路の内部電源電圧レベルおよび内部接地電圧レベルを検知し、得られた内部電源電圧検知信号および内部接地電圧検知信号によって、一般回路付近の電圧レベルの変化を補償するように一般回路を制御するので、電源電圧および接地電圧の外部入力端から離れた領域に配置された回路の動作を安定させることができる。

【0037】請求項2記載の半導体集積回路装置によれば、内部電圧検知開始信号にตอบสนองして外部電源付近に配置された第1の遅延回路の遅延時間とある領域の一般回路付近に配置された第2の遅延回路の遅延時間とを検知し、得られた内部電圧検知信号によって、一般回路付近の電圧レベルの変化を補償するように一般回路を制御す

るので、電源電圧および接地電圧の外部入力端から離れた領域に配置された回路の動作を安定させることができる。

【図面の簡単な説明】

【図1】図1 (A) はこの発明の第1の実施例の半導体集積回路装置のブロック回路図、図1 (B) は同図

(A) の第2の内部電圧検知回路の回路図、図1 (C) は同図 (A) の第1の内部電圧検知回路の回路図である。

【図2】図2 (A) はこの発明の第2の実施例の半導体集積回路装置のブロック回路図、図2 (B) は同図

(A) の第2の内部電圧検知回路の回路図、図2 (C) は同図 (A) の第1の内部電圧検知回路の回路図、図2 (D) は同図 (A) 、 (B) 、 (C) の回路の信号波形図である。

【図3】図3は図1の第2の一般回路の具体例であり、図3 (A) は入力バッファ回路、図3 (B) は信号遅延回路である。

【図4】図4は従来の半導体集積回路装置のブロック回路図である。

【図5】図5は図4の第2の一般回路の具体例であり、図5 (A) は入力バッファ回路、図5 (B) は信号遅延回路である。

【符号の説明】

1 第1の内部電圧検知回路

2 第2の内部電圧検知回路

3 第1の一般回路

4 第2の一般回路

VCC 電源電圧

VSS 接地電圧

NVVCC1, NVVCC2 内部電源電圧

NVVSS1, MVVSS2 内部接地電圧

R1ないしR8 抵抗

NIVCC 内部電源電圧検知制御信号

NIVSS 内部接地電圧検知制御信号

NIV 内部電圧検知制御信号

SIVCC 内部電源電圧検知信号

SIVSS 内部接地電圧検知信号

SIV 内部電圧検知信号

SDS 内部電圧検知開始信号

C1ないしC4 容量

N1ないしN4 ノード名

P1, P2 期間

t1, t2 時間

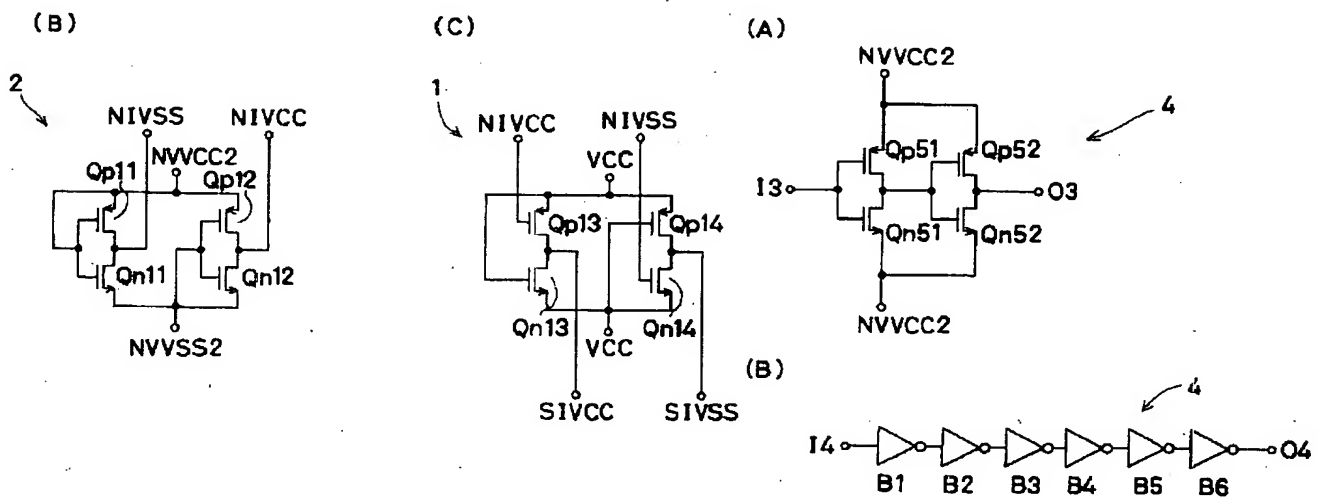
Qp11ないしQp52 Pチャンネル型MOSトランジスタ

Qn11ないしQn52 Nチャンネル型MOSトランジスタ

I1ないしI4 入力信号

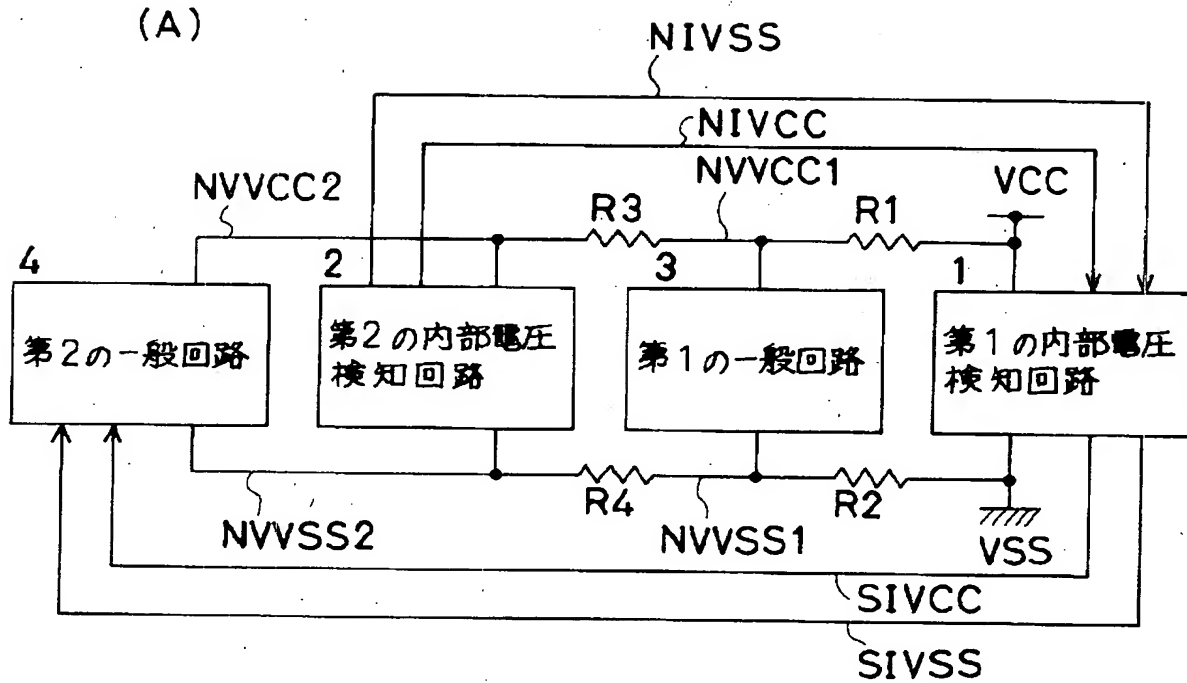
O1ないしO4 出力信号

【図5】

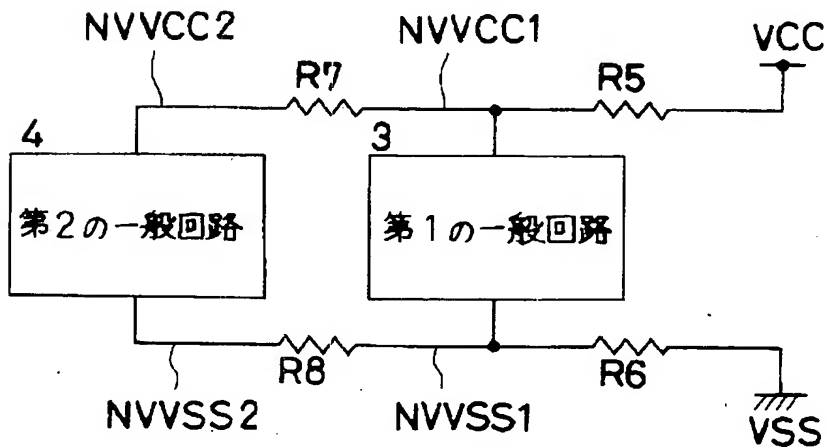


【図1】

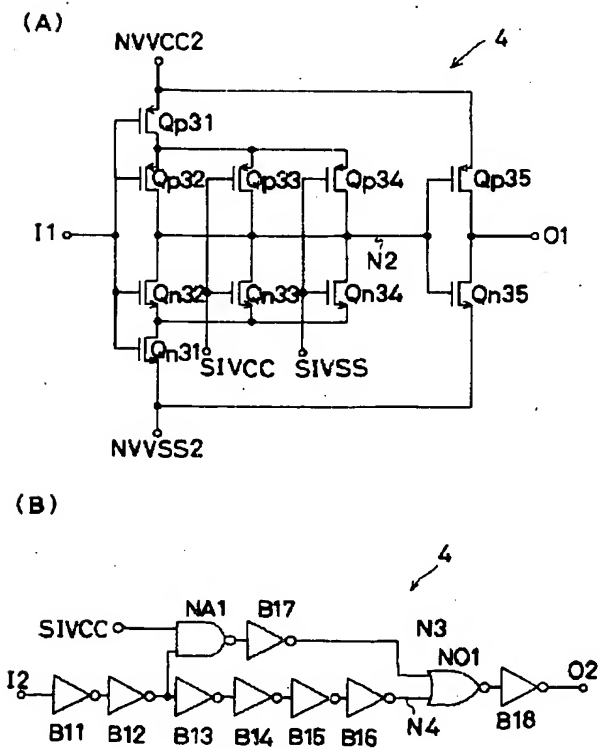
VCC	電源電圧	NIVCC	内部電源電圧検知制御信号
VSS	接地電圧	NIVSS	内部接地電圧検知制御信号
NVVCC1, NVVCC2	内部電源電圧	SIVCC	内部電源電圧検知信号
NVVSS1, NVVSS2	内部接地電圧	SIVSS	内部接地電圧検知信号
R1~R4	抵抗		

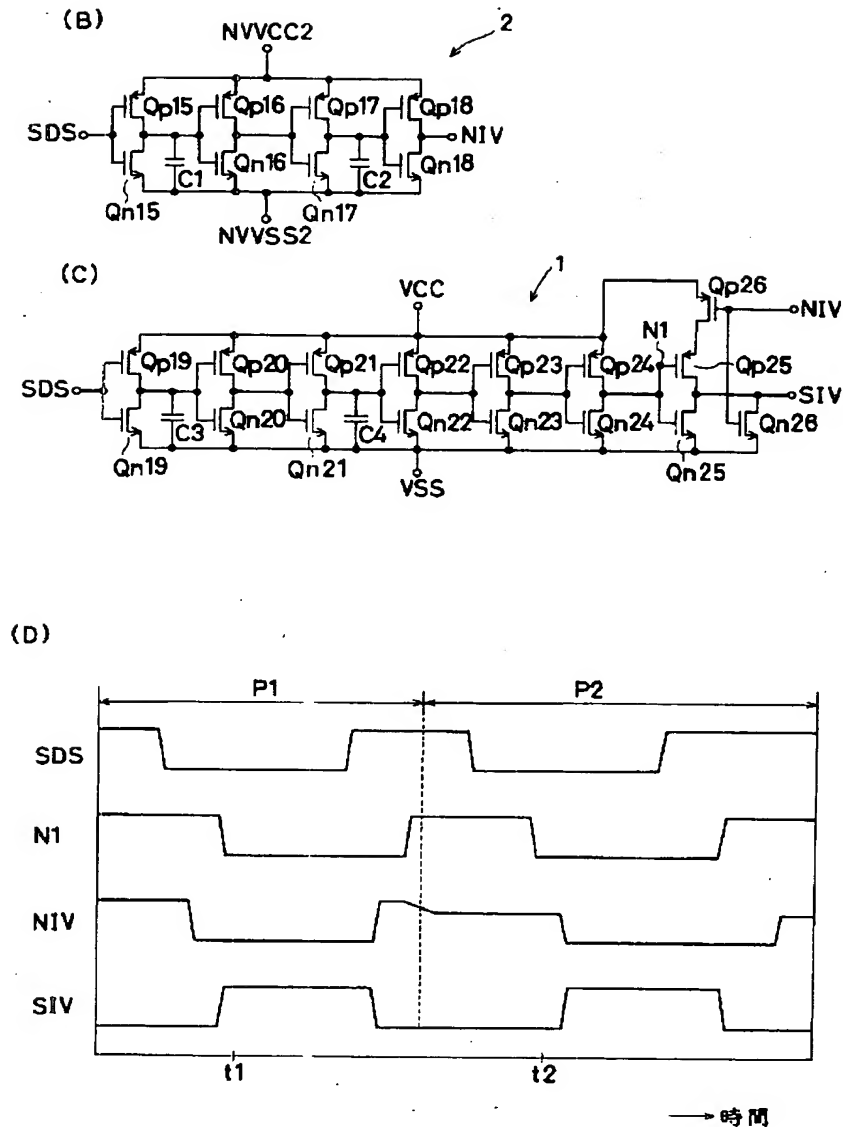


【図4】



(A)





【手続補正書】

【提出日】平成5年8月19日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】図面の簡単な説明

【補正方法】変更

【補正内容】

【図面の簡単な説明】

【図1】図1はこの発明の第1の実施例の半導体集積回路装置のブロック回路図である。

【図2】図2(A)は図1の第2の内部電圧検知回路の回路図、図2(B)は図1の第1の内部電圧検知回路の回路図である。

【図3】図3はこの発明の第2の実施例の半導体集積回路装置のブロック回路図である。

【図4】図4(A)は図3の第2の内部電圧検知回路の回路図、図4(B)は図3の第1の内部電圧検知回路の回路図である。

【図5】図5は図3および図4(A)、(B)の回路の信号波形図である。

【図6】図6は図1の第2の一般回路の具体例であり、図6(A)は入力バッファ回路、図6(B)は信号遅延回路である。

【図7】図7は従来の半導体集積回路装置のブロック回路図である。

【図8】図8は図7の第2の一般回路の具体例であり、
図8(A)は入力バッファ回路、図8(B)は信号遅延
回路である。

【符号の説明】

1 第1の内部電圧検知回路
2 第2の内部電圧検知回路
3 第1の一般回路
4 第2の一般回路
VCC 電源電圧
VSS 接地電圧
NVVCC1, NVVCC2 内部電源電圧
NVVSS1, NVVSS2 内部接地電圧
R1ないしR8 抵抗
NIVCC 内部電源電圧検知制御信号
NIVSS 内部接地電圧検知制御信号
NIV 内部電圧検知制御信号
SIVCC 内部電源電圧検知信号
SIVSS 内部接地電圧検知信号

SIV 内部電圧検知信号
SDS 内部電圧検知開始信号
C1ないしC4 容量
N1ないしN4 ノード名
P1, P2 期間
t1, t2 期間
Qp11ないしQp52 Pチャンネル型MOSトラン
ジスタ
Qn11ないしQn52 Nチャンネル型MOSトラン
ジスタ
I1ないしI4 入力信号
O1ないしO4 出力信号

【手続補正2】

【補正対象書類名】図面

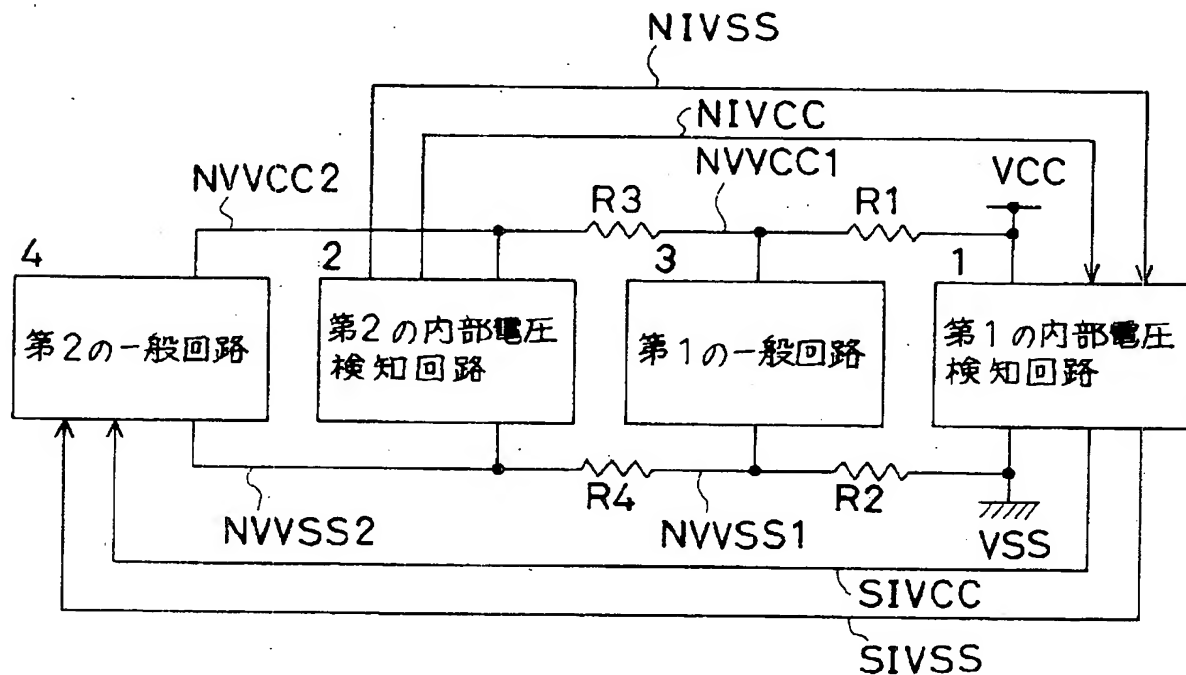
【補正対象項目名】全図

【補正方法】変更

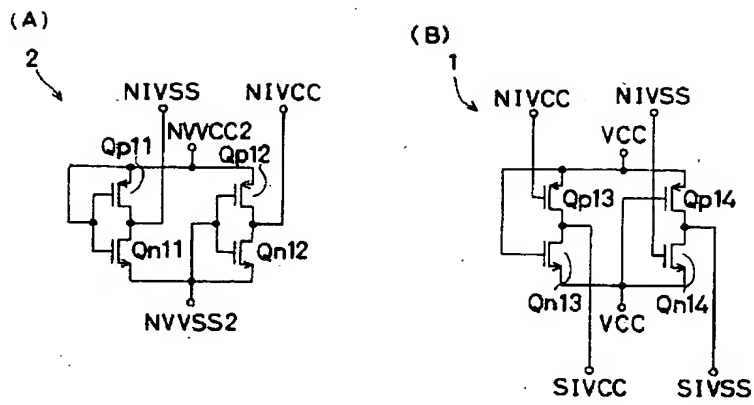
【補正内容】

【図1】

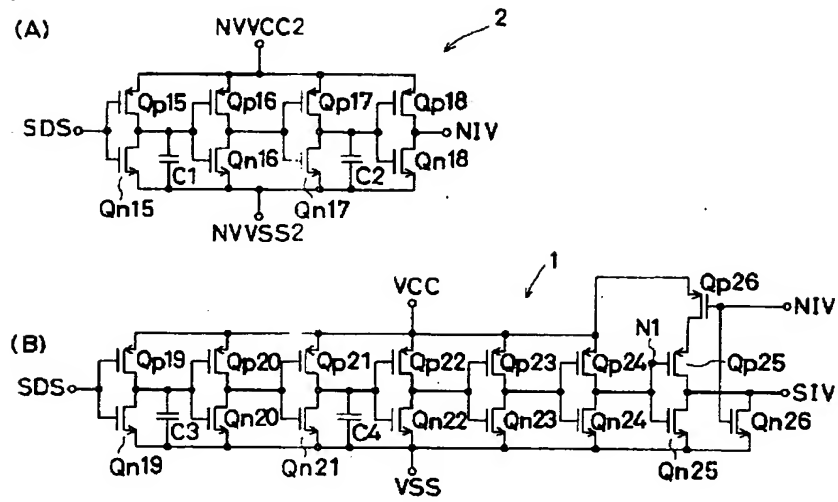
VCC 電源電圧
VSS 接地電圧
NVVCC1, NVVCC2 内部電源電圧
NVVSS1, NVVSS2 内部接地電圧
R1~R4 抵抗
NIVCC 内部電源電圧検知制御信号
NIVSS 内部接地電圧検知制御信号
SIVCC 内部電源電圧検知信号
SIVSS 内部接地電圧検知信号



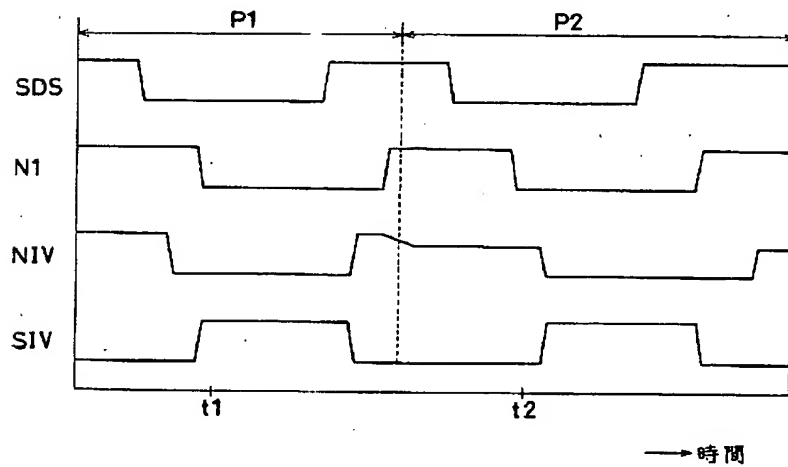
【図2】



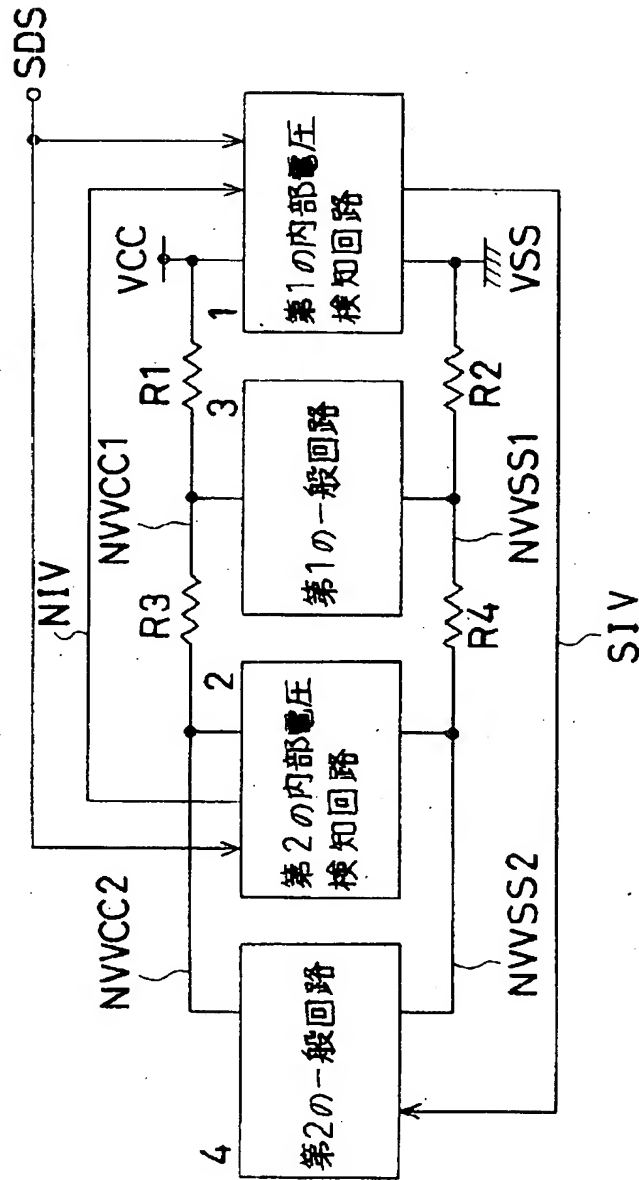
【図4】



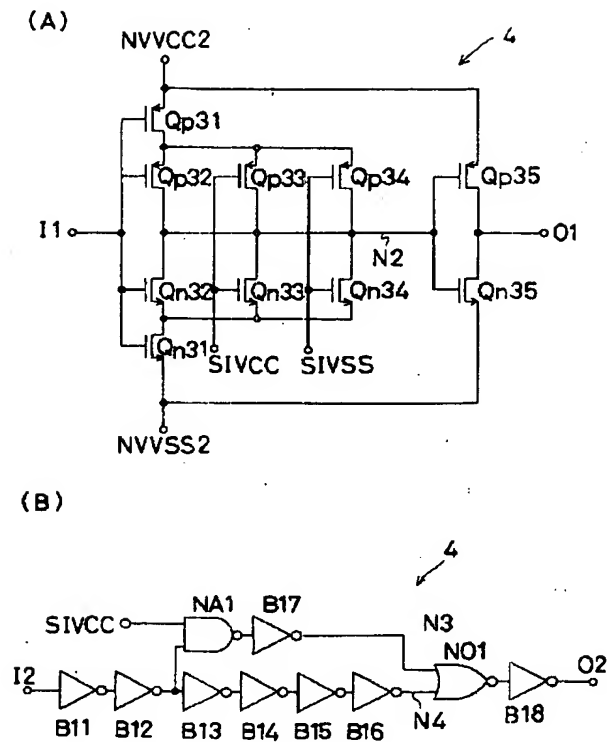
【図5】



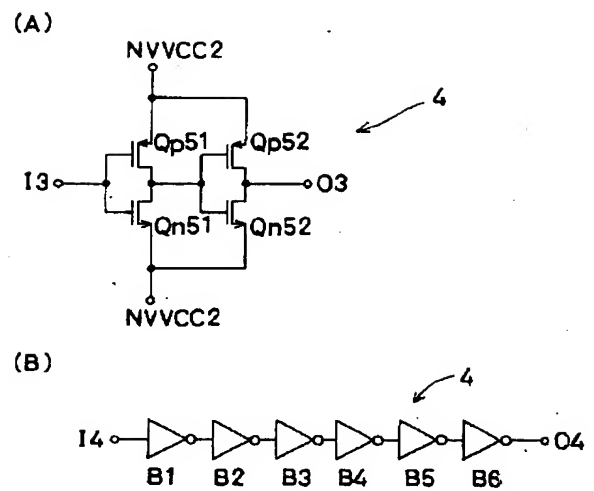
【図3】



【図6】



【図8】



【図7】

